CPI Stack Modelに基づく同一命令セット異種混合マルチコア向けスケジューラに向けて

鈴木 豪[1]　渡部 卓雄[1]　森口 草介[1]

単一 ISA (命令セットアーキテクチャ) 異種混合アーキテクチャ [1] は，様々なワークロードの演算性能とエネルギー効率の改善のために，演算性能の高い big コアとエネルギー効率の高い small コアを組合せたマルチコア環境である．Intel Hybrid Architecture [10] や ARM DynamIQ [7] などの名称で商用プロセッサに実装されている．2 種類のコアの性能はワークロードによって大きく異なり，より演算性能の向上率が大きいアプリケーションを big コアに割り当てることで，システムのスループットを高められる．その向上率の違いの要因を次の 2 つに大別できる．

(1) 命令レベル並列性 (ILP) とメモリレベル並列性 (MLP)
(2) キャッシュミス頻度とレイテンシ (キャッシュサイズやプリフェッチャの働き)

先行研究では，パフォーマンスカウンタの値を入力として機械学習によって向上率を推定することが多い [6], [9], [11]．しかし，この手法はそれぞれの要因を捉えるには限界がある．既存手法は要因 (1) とパフォーマンスカウンタの間接的な相関に基づいており，マイクロアーキテクチャの違いを直接捉えることはできない [2]．要因 (2) は，キャッシュミスが多いほど big コアが優位という大まかな傾向を捉えることはできても，アプリケーションごとの振舞いの違い，たとえばワーキングセットサイズや，プリフェッチャの働きや成功率をパフォーマンスカウンタから直接推定することは難しい [3], [4], [8]．

そこで，提案手法 (図 1) では，まず要因 (1) について，コンパイラが持つプロセッサのスケジューリングモデルを用いて静的解析を行うことで特徴を捉える．ILP はキャッシュミスが起こらなかった場合の理想的な CPI (CPI_{steady}; cycles per instruction) を決定し，本手法では命令発行幅，実行ポート数，依存性をもとに計算する [12]．MLP は def-use 鎖の距離 (small) やリオーダ・バッファ内の独立なロード命令数 (big) を数える [5]．解析はループや基本ブロックの連なり単位 (リージョン) で行われ，スケジューラはプログラムカウンタから該当するリージョンの ILP や MLP を求める．要因 (2) は，次に示す CPI Stack Model [6] に基づいて動的に推定する．

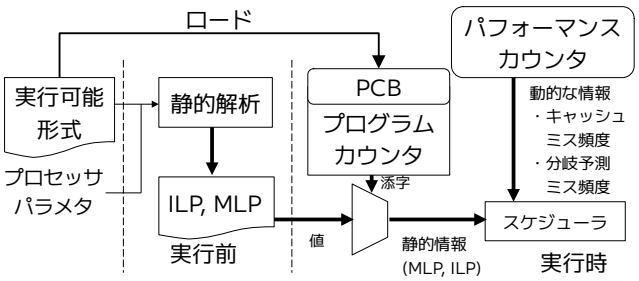


図 1　システムの概要

$$CPI = CPI_{steady} + CPI_{br} + k \cdot CPI_{memory}/MLP$$

まず実行中のコアにおける CPI と，静的な情報から CPI_{memory} を求める．それを用いて，他方のコアにおける静的な情報と求めた CPI_{memory} から他方のコアで実行した場合の CPI を推定する．なお，分岐予測ミスペナルティである CPI_{br} と MLP は静的解析の結果とパフォーマンスカウンタで計測した分岐予測ミス，キャッシュミスの頻度から求める．キャッシュサイズやプリフェッチャの働きが与える影響は，アプリケーションごとにさまざまであることから，補正項 k をプロセスがマイグレーションしたときに両方の実測 CPI からプロセスごとに求める．

本発表では，SPEC CPU 2006, 2017 ベンチマークを実機で実行しサンプリングしたパフォーマンスカウンタやプログラムカウンタのトレースを用いてシミュレーションした結果を報告する．Allwinner A733 (Cortex-A76 + Cortex-A55), Genio 1200 (Cortex-A78 + Cortex-A55), Apple M1 (Firestorm + Icestorm) によって，(1) 計算主体のワークロードでは本手法が機械学習 (勾配ブースティング回帰木) よりも良く推定し，(2) メモリ主体のワークロードがあったとしても k による補正によって機械学習と同等以上の性能でスケジューリングできることが分かった．(1) については，$k = 1$ と固定した上で，推定性能向上率と実測性能向上率の相関係数 R を求めた．図 2 はその結果である．横軸は SPEC ベンチマークの 45 のベンチマークのうち評価に用いたベンチマーク数である．計算主体 (L1D キャッシュミスが少ない) のものから順番に採用した．実線は提案手法，破線は機械学習による手法である．Apple M1 以外は採用したベンチマークの数が少ないほど，つまり計算

[1] 東京科学大学 情報理工学院
Institute of Science Tokyo

© 1959 Information Processing Society of Japan

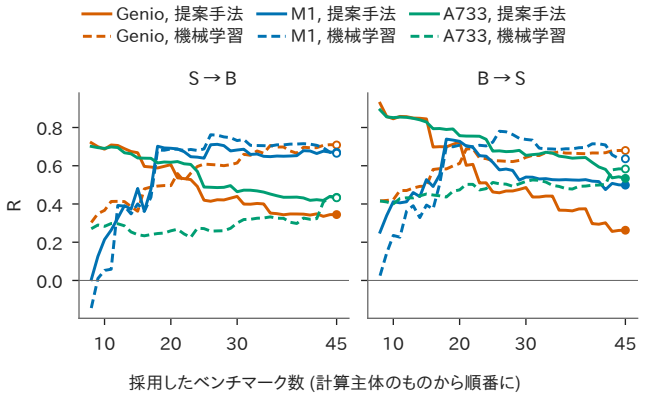


図 2 性能向上率の真値と推定値の相関係数 (S→B は，small コアから big コアの CPI を推定した場合．B→S はその逆)

表 1 シミュレーションの結果 (ラウンドロビン比)．スループットは大きいほど，完了時間は小さいほど良い．

	スループット			完了時間		
	A733	Genio	M1	A733	Genio	M1
ラウンドロビン	1.000	1.000	1.000	1.000	1.000	1.000
機械学習	1.088	1.218	1.138	1.056	1.060	1.024
提案手法	1.148	1.218	1.144	0.974	0.982	0.999
($k = 1$ 固定)	1.064	1.060	1.121	1.048	1.091	1.038

主体であるほど提案手法の R が大きい．マイクロアーキテクチャの差が小さい Apple M1 は，計算主体ベンチマークの性能向上率のばらつきが小さいため，いずれの手法も 20 ベンチマーク程度までで増加し，それ以後は減少している．(2) については，50 ms 間隔で推定性能向上率に基づいてスループットを最大化するスケジューラをシミュレーションした．スループットと完了時間をラウンドロビンをベースライン (1.0) として，補正なし ($k = 1$)，機械学習手法，提案手法で比較したものを表 1 に示す．スループットは機械学習手法と同等あるいは提案手法が上回り，完了時間は提案手法が機械学習手法より 2〜8%短かった．また，補正により，補正なしに比べてスループットが 2〜15%，完了時間が 4〜10%改善した．提案手法はオフラインの学習なしで，機械学習手法と同等以上の性能を達成した．ただし，シミュレーションでは，マイグレーション時の性能の変動を考慮できていない．

今後の課題は，実際にスケジューラを作成し，静的情報の取得オーバヘッドと実際の推定・スケジューリング性能を評価することである．

参考文献

[1] Rakesh Kumar, Keith I. Farkas, Norman P. Jouppi, Parthasarathy Ranganathan, and Dean M. Tullsen. *Single-ISA Heterogeneous Multi-Core Architectures: The Potential for Processor Power Reduction*, In Proceedings of the 36th annual IEEE/ACM International Symposium on Microarchitecture (MICRO 36). available from ⟨https://doi.org/10.1109/MICRO.2003.1253185⟩

[2] Stijn Eyerman, Lieven Eeckhout, Tejas Karkhanis, and James E. Smith. *A performance counter architecture for computing accurate CPI components*, In Proceedings of the 12th international conference on Architectural support for programming languages and operating systems (ASPLOS XII). available from ⟨https://doi.org/10.1145/1168857.1168880⟩

[3] Daniel Shelepov, Juan Carlos Saez Alcaide, Stacey Jeffery, Alexandra Fedorova, Nestor Perez, Zhi Feng Huang, Sergey Blagodurov, and Viren Kumar. *HASS: a scheduler for heterogeneous multicore systems*, SIGOPS Oper. Syst. Rev. 43, 2 (April 2009), pp. 66–75. available from ⟨https://doi.org/10.1145/1531793.1531804⟩

[4] David K. Tam, Reza Azimi, Livio B. Soares, and Michael Stumm. *RapidMRC: approximating L2 miss rate curves on commodity systems for online optimizations*, In Proceedings of the 14th international conference on Architectural support for programming languages and operating systems (ASPLOS XIV). available from ⟨https://doi.org/10.1145/1508244.1508259⟩

[5] Kenzo Van Craeynest, Aamer Jaleel, Lieven Eeckhout, Paolo Narvaez, and Joel Emer. *Scheduling heterogeneous multi-cores through Performance Impact Estimation (PIE)*, In Proceedings of the 39th Annual International Symposium on Computer Architecture (ISCA '12). available from ⟨https://doi.org/10.1145/2366231.2337184⟩

[6] Mihai Pricopi, Thannirmalai Somu Muthukaruppan, Vanchinathan Venkataramani, Tulika Mitra and Sanjay Vishin. *Power-performance modeling on asymmetric multi-cores*, In Proceedings of the 2013 International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES). available from ⟨https://doi.org/10.1109/CASES.2013.6662519⟩

[7] Peter Greenhalgh. *Arm DynamIQ: Intelligent Solutions using Cluster Based Multi-Processing*, In Proceedings of the 2017 IEEE Hot Chips 29 Symposium (HCS).

[8] Jun Xiao, Andy D. Pimentel, and Xu Liu. *CP_{pf}: a prefetch aware LLC partitioning approach*, In Proceedings of the 48th International Conference on Parallel Processing (ICPP '19). available from ⟨https://doi.org/10.1145/3337821.3337895⟩

[9] Teng Yu, Runxin Zhong, Vladimir Janjic, Pavlos Petoumenos, Jidong Zhai, Hugh Leather, and John Thomson. *Collaborative Heterogeneity-Aware OS Scheduler for Asymmetric Multicore Processors*, IEEE Transactions on Parallel and Distributed Systems, 32(5), pp. 1224–1237. available from ⟨https://doi.org/10.1109/TPDS.2020.3045279⟩

[10] Efraim Rotem, Yuli Mandelblat, Vadim Basin, Eli Weissmann, Arik Gihon, Rajshree Chabukswar, Russ Fenger, and Monica Gupta. *Alder Lake Architecture*, In Proceedings of the 2021 IEEE Hot Chips 33 Symposium (HCS). available from ⟨https://doi.org/10.1109/HCS52781.2021.9567097⟩

[11] Juan Carlos Saez and Manuel Prieto-Matias. *Evaluation of the Intel thread director technology on an Alder Lake processor*, In Proceedings of the 13th ACM SIGOPS Asia-Pacific Workshop on Systems (APSys '22). available from ⟨https://doi.org/10.1145/3546591.3547532⟩

[12] Andreas Abel, Shrey Sharma and Jan Reineke. *Facile: Fast, Accurate, and Interpretable Basic-Block Throughput Prediction*, In Proceedings of the 2023 IEEE International Symposium on Workload Characterization (IISWC). available from ⟨https://doi.org/10.1109/IISWC59245.2023.00023⟩

© 1959 Information Processing Society of Japan